

**UNIVERSIDAD VERACRUZANA**  
**Maestría en Ciencias en Micro y**  
**Nanosistemas**

<b>DATOS GENERALES</b>
Nombre del Curso
<b>Tecnología CMOS nanométrica</b>

<b>PRESENTACIÓN GENERAL</b>
Justificación
En los últimos años, la tecnología CMOS ha permitido el desarrollo de transistores con longitudes de canal menores a los 50 nm. Esto ha permitido el desarrollo de nuevas tecnologías para reemplazar a la tecnología CMOS de volumen. De este modo la Tecnología de Silicio-sobre-aislante (SOI: Silicon-on-Insulator) ha permitido el desarrollo de transistores MOSFET novedosos como los UTBB, FinFETs, GaA-FETs entre otros, los cuales están siendo utilizados en los nodos tecnológicos de 22 nm y en las futuras generaciones. Por este motivo, es necesario desarrollar un curso que se enfoque en las principales características de estas nuevas tecnologías a fin de que tenga una visión general y actual de los problemas existentes en la tecnología de circuitos integrados y las alternativas que la tecnología prevé para solucionarlos.

<b>OBJETIVOS GENERALES DEL CURSO</b>
Analizar los principales problemas de desempeño de los transistores MOSFET de volumen nanométricos, así como las potenciales soluciones para mantener el desarrollo de la Tecnología CMOS con nodos tecnológicos menores a los 25 nm.

<b>UNIDADES, OBJETIVOS PARTICULARES Y TEMAS</b>
---

<b>UNIDAD 1</b>
Fundamentos de Operación de la Estructura MOS
Objetivos particulares
Analizar los fenómenos eléctricos fundamentales que ocurren en la estructura MOS con dieléctricos nanométricos y de alta-k
Temas
1.1 Estructura MOS ideal 1.2 Potencial superficial y condición de banda plana 1.3 Característica Capacitancia-Voltaje 1.4 Voltaje de banda plana 1.5 Dieléctricos de alta-k 1.6 Corrientes de fuga en estructuras MOS con dieléctricos nanométricos 1.7 Mecanismos de transporte en estructuras MOS con dieléctricos nanométricos

<b>UNIDAD 2</b>
Fundamentos de Operación del Transistor MOS
Objetivos particulares
Comprender los principios de operación de los transistores MOSFET. Conocer las principales reglas de escalado utilizadas en la tecnología CMOS. Analizar las principales limitaciones de los transistores nanométricos.
Temas
2.1 Estructura Básica y Características 2.2 Principio de operación 2.3 Escalado de las dimensiones 2.4 Efectos de canal-corto 2.5 Tecnología CMOS sub micrométrica profunda 2.6 Efectos extrínsecos en transistores sub-50 nm

<b>UNIDAD 3</b>
Tecnología SOI
Objetivos particulares
Comprender las necesidades que han propiciado el desarrollo de la Tecnología SOI y los transistores tridimensionales Analizar las características generales de las tecnologías más importantes para el desarrollo de nodos tecnológicos sub-25 nm.
Temas
3.1 Características generales de los substratos SOI 3.2 Métodos de obtención de substratos SOI 3.3 Transistores SOI Planares: PD-SOI, FD-SOI 3.4 Transistores UTBB 3.5 Transistores FinFET de doble y triple compuerta 3.6 MuGFETs 3.7 GaA-FET y SNW-FETs

<b>TÉCNICAS DIDÁCTICAS Y ASPECTOS METODOLÓGICOS</b>
Exposiciones del Académico a cargo Trabajos de investigación Lecturas previas y discusión en clase

<b>EQUIPO NECESARIO</b>
Computadora Proyector

<b>BIBLIOGRAFÍA</b>
1. J.-P. Collinge. "Silicon-on-Insulator Technology: Materials to VLSI", Springer, 2004.

2. Nazarov, J.-P. Colinge, F. Balestra, J.-P. Raskin, F. Gamiz, V.S. Lysenko, "Semiconductor-On-Insulator Materials for Nanoelectronics Applications", Springer, 2011.
3. Iñiguez, T. A. Fjeldly, "Frontiers In Electronics: Advanced Modeling Of Nanoscale Electron Devices", World Scientific, 2014

**REFERENCIAS ELECTRÓNICAS (Última fecha de acceso:)**

ITRS: <http://www.itrs2.net/> (1/05/2018)

**Otros Materiales de Consulta:**

Base de datos IEEEExplorer, Elsevier, Institute of Physics.

<b>EVALUACIÓN</b>		
<b>SUMATIVA</b>		
	<b>Concepto</b>	<b>Porcentaje</b>
Forma de Evaluación	Prácticas	50%
	Exposiciones	20%
	Examen Final	30%
	<b>Total</b>	<b>100%</b>